

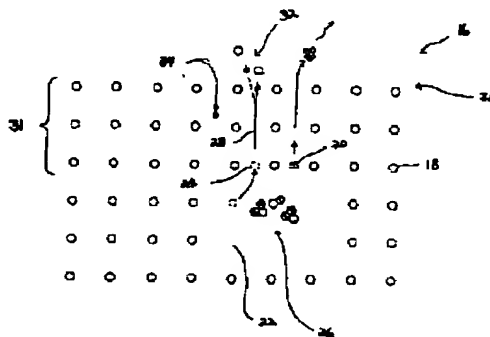


## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07326622 A**(43) Date of publication of application: **12.12.95**(51) Int. Cl. **H01L 21/322**(21) Application number: **07043797**(22) Date of filing: **03.03.95**(30) Priority: **07.03.94 US 94 206977**(71) Applicant: **ADVANCED MICRO DEVICES INC**(72) Inventor: **GARDNER MARK I  
FULFORD JR H JIM  
WRISTERS DERICK J****(54) METHOD OF MAINTAINING DEFECTLESS  
REGION AND ITS FLAT STRUCTURE IN  
SILICON SUBSTRATE****(57) Abstract:**

**PURPOSE:** To ensue an excellent silicon surface characteristics by executing denuding before a process, and applying guttering upon formation of a field oxide film.

**CONSTITUTION:** A silicon substrate 16 in which an oxygen atom 20 and an interlattice silicon atom 24 are incorporated, and then a substrate 16 is heated in a hydrogen atmosphere to 1100°C or higher to outwardly diffuse the oxygen atom 20 and hence form a denuded zone 31 where there are substantially not existent the oxygen atom 20 and the interlattice silicon atom 24 in the surface 30 of the substrate 16. Prior to deposition of polysilicon, the substrate 16 is processed at a temperature of 1000°C or lower to make minimum a movement of the oxygen atom 20 going into and out of the denuded zone 31 and a movement of the interlattice silicon atom 24 to the surface 30 of the substrate 16 from the denuded zone 31 and formation of the interlattice silicon atom 24. Thereafter, polysilicon is deposited on a gate oxide film formed on the surface of the substrate 16. Provided the gate oxide film is formed on a 180 &angst; 2 mm<sup>2</sup> area, breakdown voltage becomers 20 V or higher.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326622

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/322

識別記号  
Q  
Z

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平7-43797

(22) 出願日 平成7年(1995)3月3日

(31) 優先権主張番号 2 0 6 9 7 7

(32) 優先日 1994年3月7日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172

アドバンスト・マイクロ・ディバイシズ・  
インコーポレイテッド

ADVANCED MICRO DEVI  
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォ  
ルニア州、サニベイ、ピー・オー・ボ  
ックス・3453、ワン・エイ・エム・ディ・  
プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

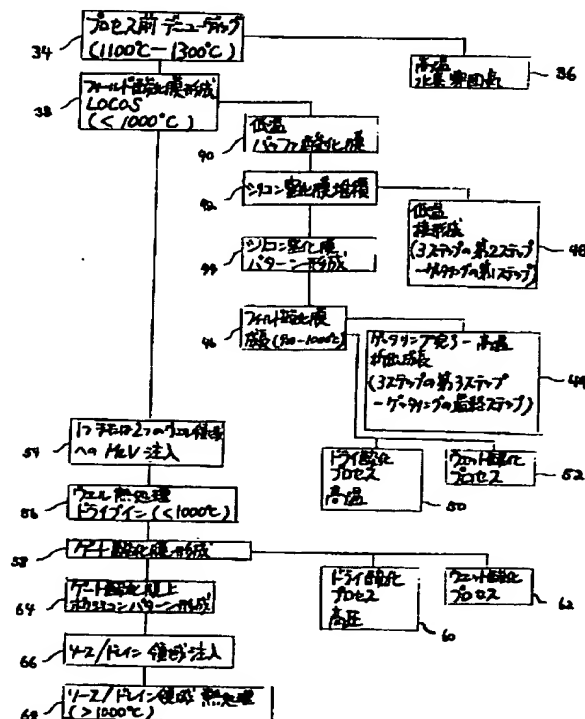
最終頁に続く

(54) 【発明の名称】 シリコン基板内の無欠陥領域およびその平坦な構造を維持するための方法

(57) 【要約】

【目的】 1つまたは2つ以上のモノリシックデバイスを備えたCZシリコンウエハのプロセス前のデニューディングおよびプロセス中のゲッタリングのための方法を提供する。

【構成】 プロセス前のデニューディングは、水素雰囲気の中で行なわれ、酸素を外方拡散させ、基板の表面から離れたところへの格子間シリコンの流入を維持する。プロセス中のゲッタリングは、低温で行なわれ、ゲート酸化に先行して、表面の格子間シリコンの結合から、積層欠陥および表面の不規則性が発生しないようにする。その結果ポリシリコンの堆積の後に発生する、基板の表面内またはその近くでの酸素および/または格子間シリコンの移動が最小限に抑えられ、ゲート酸化膜の純粋性が高められる。



## 【特許請求の範囲】

【請求項 1】 シリコン基板内に無欠陥領域を維持するためおよび実質的に平坦な無欠陥領域の構造を維持するための方法であって、

中に酸素原子および格子間シリコン原子を組入れたシリコン基板を設けるステップと、

水素雰囲気の中で前記基板を 1100℃を超える温度まで加熱し、前記酸素原子を外方拡散させ、前記基板の表面の中に実質的に前記酸素原子のない無欠陥領域を形成するステップと、

ポリシリコンの堆積に先行して、前記基板を 1000℃よりも低い温度で処理し、前記無欠陥領域の内部へおよび前記無欠陥領域からの前記酸素原子の移動を最小限にし、前記格子間シリコン原子の形成および前記格子間シリコン原子の前記無欠陥領域から前記基板の表面への移動を最小限にするステップと、

前記基板の表面上に形成されたゲート酸化膜の上にポリシリコンを堆積させるステップとを含み、180オングストロームの前記ゲート酸化膜が、降伏電圧が20ボルトよりも大きな2mm<sup>2</sup>の領域の上に形成されることができ、シリコン基板内の無欠陥領域およびその平坦な構造を維持するための方法。

【請求項 2】 前記基板を処理するステップは、前記基板の選択領域の上にフィールド酸化膜を成長させるステップを含む、請求項 1 に記載の方法。

【請求項 3】 前記基板を処理するステップは、1MeVよりも大きなエネルギーで、少なくとも1つのウェル型不純物を、前記無欠陥領域に注入するステップを含む、請求項 1 に記載の方法。

【請求項 4】 前記基板を処理するステップは、前記無欠陥領域に注入された不純物原子を熱処理するステップを含む、請求項 1 に記載の方法。

【請求項 5】 前記基板を処理するステップは、前記無欠陥領域の上にゲート酸化膜を成長させるステップを含み、前記無欠陥領域の表面は、その上に形成される格子間シリコンの欠落の結果として、ならびに前記無欠陥領域の内部への、および前記無欠陥領域からの酸素原子の移動が最小限である結果として、実質的に均一である、請求項 1 に記載の方法。

【請求項 6】 ソースおよびドレインの不純物領域を前記ウェル型の不純物に注入するステップと、温度に関係なく前記ソースおよびドレインの不純物領域を熱処理するステップとをさらに含む、請求項 1 に記載の方法。

【請求項 7】 フィールド酸化膜が成長するまでゲッタリング温度が発生しないようにすることにより、無欠陥領域の上に優れた特性のゲート酸化膜を準備するための方法であって、

中に酸素原子およびシリコン原子を組入れたシリコン基板を設けるステップと、

前記基板の表面の近くに、前記酸素原子および前記格子

間シリコン原子が実質的にない無欠陥領域を形成するステップと、

前記基板の選択領域の上にフィールド酸化膜を成長させるステップとを含み、前記成長させるステップは、900℃から1000℃の間の温度雰囲気の中で発生し、前記無欠陥領域の内部へおよび前記無欠陥領域からの前記酸素原子の移動を最小限にし、前記酸素原子および前記格子間シリコン原子の形成と前記基板の表面への移動とを最小限にし、さらに、

10 前記フィールド酸化膜に近接しておよびその中へ、1MeVよりも大きなエネルギーで注入し、前記無欠陥領域内に少なくとも1つのウェル型の不純物を形成するステップと、

前記無欠陥領域内の前記不純物型を熱処理するために、1000℃よりも低い温度まで前記基板を加熱し、一方で、上記形成するステップおよび成長させるステップの間に現われる、前記酸素原子と前記シリコン原子の位置を実質的に維持するステップと、

20 1000℃よりも低い温度雰囲気の中で前記無欠陥領域の上にゲート酸化膜を成長させるステップとを含み、前記基板の表面および無欠陥領域は、その上に形成される前記格子間シリコン原子の欠落の結果として、ならびに前記無欠陥領域の内部へおよび前記無欠陥領域からの酸素原子の移動が最小限である結果として、実質的に均一であり、さらに、

前記ゲート酸化膜の上にポリシリコンのパターン形成をし、第1レベルのゲート導電体を形成するステップを含む、優れた特性のゲート酸化膜を無欠陥領域の上に準備するための方法。

30 【請求項 8】 前記形成するステップは、水素雰囲気の中で、1100℃を超える温度まで前記基板を加熱するステップを含む、請求項 7 に記載の方法。

【請求項 9】 前記フィールド酸化膜を成長させるステップと前記ゲート酸化膜を成長させるステップとは、ドライ酸素雰囲気の中で前記フィールド酸化膜と前記ゲート酸化膜とを熱により成長させるステップを含む、請求項 7 に記載の方法。

40 【請求項 10】 前記熱により成長させるステップは、760 Torr を超える圧力において発生する、請求項 9 に記載の方法。

【請求項 11】 前記フィールド酸化膜を成長させるステップと前記ゲート酸化膜を成長させるステップとは、H<sub>2</sub>Oが存在する中で前記フィールド酸化膜と前記ゲート酸化膜とを熱により成長させるステップを含む、請求項 7 に記載の方法。

50 【請求項 12】 前記フィールド酸化膜を成長させるステップは、前記基板に300オングストロームよりも小さなパルファ酸化膜を堆積させるステップと、前記パルファ酸化膜の上にシリコン窒化膜を堆積させ、

前記シリコン窒化膜と前記バッファ酸化膜とのある部分を選択的に取除き、その下の前記基板を露出させるステップとを含む、請求項7に記載の方法。

【請求項13】 ソースおよびドレインの不純物領域を前記ウェル型の不純物に注入し、温度に関わりなく、前記ソースおよびドレインの不純物領域を熱処理するステップをさらに含む、請求項7に記載の方法。

【請求項14】 デニューディング (denuding) 中とその後およびゲート酸化膜の上にポリシリコンの層が形成される前に、シリコン基板の表面に酸素原子および格子間シリコン原子が流入するのを最小限にするための方法であって、シリコン基板の処理に先行して、水素雰囲気の中で、前記シリコン基板内の表面領域から複数の酸素原子をデニューディングするステップと、前記シリコン基板の上のポリシリコンの形成に先行して、前記シリコン基板を1000℃よりも低い温度で処理し、

(i) 酸素原子および格子間シリコン原子の形成と、シリコン基板から基板の表面への酸素原子および格子間シリコン原子の移動とを最小限にし、

(i i) 前記基板の上にパターン形成されたフィールド酸化膜を形成し、MeV注入されたウェル領域は、ウェル領域の上の前記パターン形成されたフィールド酸化膜とゲート酸化膜の間に横たわり、さらに、前記ゲート酸化膜の上にポリシリコンを堆積させ、その後1000℃を超える温度での前記シリコン基板の処理を続行し、前記基板内にゲッタリング場所を設けるステップを含む、シリコン基板の表面への酸素原子および格子間シリコン原子の流入を最小限にするための方法。

【発明の詳細な説明】

【0001】

【発明の分野】この発明は集積回路の製造に関し、より特定的には、無欠陥領域および無欠陥領域の上のゲート酸化膜の特性を維持するために用いられる、シリコン基板の真性ゲッタリングおよび処理ステップに関する。

【0002】

【関連技術の背景】周知のように、その存在のために性能を落とすことになるライフタイム短縮ドーパント（通常何らかの重金属）を回路の領域から取除くためのステップが実行できる。ドーパントの存在のために少数キャリアのライフタイムが短縮されるだけでなく、ドーパントはMOS構造における移動度を減少させ、N型およびP型の材料に対する抵抗率を高める。少数キャリアのライフタイムが長いことは多くの理由で望ましい。その理由とは、逆接合リークを最小限にし、バイポーラトランジスタの利得を改良し、ダイナミックMOSメモリにおけるリフレッシュ時間を増加させることを含む。回路の活性領域からライフタイム短縮ドーパントを取除くために、半導体処理に先行してまたは半導体処理の間に“ゲ

ッタリング”および“デニューディング (denuding)”といった技術が一般的に採用される。

【0003】この明細書中で規定されるように、“半導体処理”または“シリコン基板の処理”とは一般的に、パターン形成、成長、基板の上および基板の内部への様々な材料およびイオンの注入および堆積を行ない、複数のモノリシックデバイスを形成するのに必要なステップのことを指す。多くの製造業者たちは、シリコン基板の処理の前に、プロセス前のデニューディングおよびゲッタリングステップを組入れている。プロセス前のデニューディングおよびゲッタリングは、一般的に、販売業者から未処理のシリコンウエハを入手したときの検査を含む。その他の製造業者が、プロセス前のデニューディングおよびゲッタリングの代わりとして、回路の処理ステップの間に、デニューディングおよびゲッタリングを行なう（すなわち、プロセス中のデニューディングおよびゲッタリング）こともある。

【0004】（ここに引用により援用する）米国特許第4,666,532号および第4,548,654号で述べられているように、ゲッタリングという用語は一般的に、基板の材料内の酸素の析出と基板のバルク内の格子歪み、転位ループおよび積層欠陥の形成とを指す。歪み、ループおよび欠陥は、SiO<sub>x</sub>の析出成長の結果であることが多い。析出成長は、不要の、ライフタイム短縮ドーパントに対するゲッタリング場所（トラップ）として働く、格子の乱れおよび転位を引き起こす。ゲッタリングは、シリコン基板の表面領域から離れた不活性な場所において行なわれることが多く、したがって、しばしばイントリンシック (intrinsic) ゲッタリングと呼ばれる。イントリンシックゲッタリングは、析出の結果としてのゲッタリング場所を発生させるだけでなく、チョクラスキー (CZ) 法で成長させたシリコンウエハのある真性物質の特性（たとえば、格子間酸素、置換型炭素、シリコンの空洞および格子間シリコン）を生じさせる。

【0005】活性領域から離れたシリコンのバルク内にゲッタリング場所を発生させるという概念は、当該技術では、半導体ウエハの歩留りを大きく向上させるものとして認識されている。しかしながら、産業界はまた、デバイスが形成される基板の表面の近くの活性領域内の中の酸素を減少させることの重要性を認識している。この領域の酸素を減少させることは、一般的にデニューディングと呼ばれ、ウエハの表面領域（無欠陥領域）から格子間酸素原子を外方拡散させることを含む。

【0006】デバイスの性能を向上させるために、ゲッタリングとデニューディングのステップ両方が必要である。従来のイントリンシックゲッタリングおよびデニューディングは、一般的に、プロセス前の、3つのステップのサイクルとして行なわれるかまたは半導体の製造の処理ステップ内に（すなわち、プロセス中に）組入れら

れる。たとえば、ボーランド (Borland)、「ボーランドによるイントリンシックゲッタリングの最新技術概観：第1部および第2部 (Borland's Overview of the Latest in Intrinsic Gettering : Part I and Part II)」、半導体インターナショナル (Semiconductor International) (1989年4月および5月) (ここに引用により援用する) を参照されたい。イントリンシックゲッタリングの3つのサイクルは以下のとおりである。ウエハが販売業者から届いたときに、そのウエハを高温雰囲気 (通常1100℃よりも大きい) に晒し、格子間酸素を外方拡散させ、基板の表面の真下に無欠陥領域を形成する。次に、ウエハは、 $\text{SiO}_x$  の核形成が行なわれるようにするために、より低い温度 (850℃よりも低いことが多い) に冷却される。3つのステッププロセスは、その後、ウエハをおよそ900℃から1000℃の範囲内の、より高い温度に晒し、 $\text{SiO}_x$  の核から大きな析出物を形成するステップで終了する。臨界的な大きさを超える  $\text{SiO}_x$  析出成長は、真性格子欠陥を形成し、したがって、ゲッタリングされた領域を発生させる。イントリンシックゲッタリングとは主として、3つのステッププロセスのうち第2と第3のステップであり、第1のステップはデニューディングのために用いられる。

【0007】米国特許第4,548,654号で教示されるように、デニューディングステップの間に、水素といった還元雰囲気を用いることは、基板の表面のバリアフィルムの形成を避けることによる、酸素の外方拡散の促進につながる。水素は、外方拡散された酸素と結合し、ウエハの表面から搬送される水を形成する。水素は、デニューディング処理の促進をもたらすように思われるが、水素がデニューディングステップにおいてもたらすであろうその他の利点については、従来の知識は制限されたもののように思われる。

【0008】主としてゲッタリングステップである、その後に続くプロセス前のステップに対して水素雰囲気を維持することは、費用も時間もかかる。さらに、酸素が外方拡散された後、水素は一般的に必ずしもゲッタリングを行なうわけではない。したがって、プロセス前のゲッタリングを削除し、ゲッタリングステップをデバイス製造の通常のプロセスに組入れることは、利益をもたらすであろう。しかしながら、従来の処理ステップは、第2および第3のゲッタリングステップ (低温、次に高温で行なわれる) を組入れることに容易には適応しない。一般的に、ウエハがプロセス前にデニューディングされたならば、その後に形成されるウェル領域は、高温のドライブインステップを必要とする。高温のドライブインでは、高温で行なわれる第3のステップに先行する第2のステップにおいて必要とされる、 $\text{SiO}_x$  の核形成が十分に行なわれないであろう。したがって、多くの製造業者たちは、デニューディングとゲッタリングのすべて

の3つのステップを、半導体処理の前に行なう。その代わりとして、製造業者たちは、3つのステップすべてを半導体プロセスフローに組入れることもある。前者の場合、プロセス前のゲッタリングにより、集積回路を製造するのに必要なステップおよび費用が増加する。後者の場合、プロセス中のデニューディングおよびゲッタリングは、プロセスフローがもし後から水素チャンパとともに用いられなければ、水素によるデニューディングの利点を達成することができない。

10 【0009】デニューディングステップは、格子間の場所にある酸素を、シリコン基板の表面から離れた場所に移動させるのに必要な、高温で行なわれる。無欠陥領域が形成された後、以降のいかなる高温サイクルも、酸素原子および/または格子間シリコン原子の無欠陥領域への、および基板の表面近くへの移動を生じさせ得る。もし無欠陥領域がかなりの量の酸素または格子間シリコンを受取ると、デニューディングされている領域は、危険にさらされ、以前は無欠陥領域であった場所での重金属原子のゲッタリングをもたらし得る。酸素および格子間  
20 シリコンの侵入により引き起こされる転位は、金属原子の存在を原因とする活性またはチャンネル領域内の電気的特性に影響するだけでなく、逆に、無欠陥領域の上に成長する構造に影響する。したがって、後に続く熱サイクルを行なう処理ステップの間に、無欠陥領域の特性を維持することが重要である。プロセスフローの中の特定の重要なステップに先行して、またその間に、無欠陥特性を維持することは、確かに重要である。

【0010】デニューディングがプロセス前のステップとして発生し、ゲッタリングがプロセス中に発生する  
30 プロセスフローを提供することは利益をもたらすであろう。水素が、酸素の排出を促進するためのみならず、優れたシリコン表面特性をもたらすために利用されることは、さらに利益をもたらすであろう。デバイスの処理の初期工程の間の、ゲート酸化膜の形成およびゲート酸化膜の上のポリシリコンの層の形成を含む工程まで、シリコン表面の特性が維持されることは、さらなる利益をもたらすであろう。この方法論の利点は、少なくともある重要な処理工程の後まで、無欠陥領域の特性を維持し、その結果、デニューディングされたシリコン表面の上に  
40 形成される構造は、優れた特性を有することである。

【0011】  
【発明の概要】上記の問題の大部分は、この発明によるプロセス前のデニューディングおよびプロセス中のゲッタリングの方法論により解決される。すなわち、デニューディングをプロセス前のステップとすることにより、デニューディングが水素雰囲気の中で行なわれ、酸素の外方拡散を増速するだけでなく、さらに重要なことには、基板表面から離れて格子間シリコン原子が過剰に流入するのを制御することである。基板表面から離れたところへの流入は、デバイス製造の初期工程の間の、ポリ  
50

シリコンの堆積が行なわれるまで維持される。フィールド酸化膜の形成になって初めて、最後のゲッタリングステップが行なわれる。最後のゲッタリングステップは、900℃から1000℃の範囲内の温度で発生する。ゲッタリングステップは析出成長を可能にするには十分だが、酸素の外方拡散を可能にしない。酸素の外方拡散は、およそ1100℃を超える温度の範囲で発生する。フィールド酸化膜で、および酸素の外方拡散の温度よりも低い温度で、ゲッタリングを行なうことにより、プロセス前のステップで以前に形成された無欠陥領域は、さらに加えられる酸素により危険にさらされることはない。したがって、デニューディングされた表面は、重金属原子といった不純物をトラッピングするためのゲッタリングの場所を含まないであろうとした、そこから成長するゲート酸化膜に有害な影響をもたらす実質的な転位を発生することもないであろう。このプロセスの結果、ゲート酸化膜の降伏の増進を含む、ゲート酸化膜の特性の実質的な向上が達成される。

【0012】重要なことには、この発明のプロセスフローは高エネルギー (MeV) ウェル注入を利用し、MeV注入の性質により、ゲート酸化膜形成に先行して低温の処理ステップが維持できる。したがって、実質的な酸素の外方拡散および／または無欠陥領域への格子間シリコンの移動を引き起こすのに必要な高温は、ゲート酸化膜形成に先行するウェル形成の間は発生しない。プロセス前の水素デニューディングおよびプロセス中のゲッタリング (フィールド酸化膜形成時における) と関連づけて、MeV注入技術を用いることにより、この発明は、とりわけ、低コストのプロセス中ゲッタリングステップと結びつく、水素デニューディングの利点を達成する。

【0013】概して、この発明は、無欠陥領域および実質的に平板な無欠陥領域構造を維持するための方法を意図する。この方法は、中に酸素原子および格子間シリコン原子を組入れたシリコン基板を設けるステップを含む。次に、シリコン基板が水素雰囲気の中で、1100℃を超える温度まで加熱され、酸素原子を外方拡散させ、基板の表面内に実質的に酸素原子および格子間シリコン原子のない無欠陥領域を形成する。ポリシリコンの堆積に先行し、次に基板は1000℃よりも低い温度で処理され、無欠陥領域の中へのおよび無欠陥領域からの酸素原子の移動を最小限に、また、格子間シリコン原子の形成および無欠陥領域から基板の表面への格子間シリコン原子の移動を最小限にする。その後、基板の表面上に形成されたゲート酸化膜の上にポリシリコンが堆積する。もしゲート酸化膜がおよそ180Åで、ゲート酸化膜が2mm<sup>2</sup>領域上に形成されたなら、そのゲート酸化膜により達成される降伏電圧は、20ボルトよりも大きい。さらに、例示の形成された酸化膜の (原子レベルでの) 厚みの可変性は、およそ10%よりも小さい。

【0014】この発明はさらに、フィールド酸化膜が成

長した後まで、最終的なゲッタリング温度が発生しないようにすることにより、無欠陥領域の上に優れた特性のゲート酸化膜を準備するための方法を意図する。この方法は、ゲート酸化膜が形成され、ポリシリコンが堆積した後まで、高温 (1000℃よりも大) を発生させないようにするステップを含む。この方法は、中に酸素原子とシリコン原子とを組入れたシリコン基板を設けるステップを含む。次に、無欠陥領域が、酸素原子および格子間シリコン原子が実質的にない基板の表面近くに形成される。その次に、基板の選択領域の上にフィールド酸化膜が成長できる。フィールド酸化膜は、1000℃よりも低い温度雰囲気中で成長し、無欠陥領域の中へのおよび無欠陥領域からの酸素原子の移動を最小限にし、また格子間シリコン原子の形成および基板の表面への格子間シリコンの移動を最小限にする。その後、少なくとも1つのウェルの型の型不純物が、フィールド酸化膜を通して、1MeVよりも大きなエネルギーで注入される。ウェル型不純物は、通常は900℃よりも低く、1000℃よりも低い温度まで加熱されるが、これは、基板内の酸素原子およびシリコン原子の位置を実質的に維持する一方で、無欠陥領域内でのその型の不純物を熱処理するためである。それからゲート酸化膜が1000℃よりも低い温度で無欠陥領域の上で成長する。(酸化膜形成の前の) 基板および無欠陥領域の表面は、その上に形成される酸素原子および格子間シリコン原子がない結果として、および格子間シリコン原子の移動により引き起こされる、格子転位および積層欠陥が最小限であることの結果として、実質的に均一である。

【0015】この発明はさらに、最初の、プロセス前のデニューディングの後およびプロセス中のゲッタリングの間に、シリコン基板の表面に酸素原子および格子間シリコン原子が流入するのを最小限にするための方法を意図する。この方法は、複数の酸素原子を、シリコン基板内の表面領域から、水素雰囲気の中で、デニューディングするステップを含む。デニューディングステップは、シリコン基板の処理および基板内の能動デバイスの形成に先行して行なわれる。一旦処理が開始され、シリコン基板の上にポリシリコンが形成される前に、基板は1000℃よりも低い温度で処理され、格子間シリコン原子の形成およびシリコン基板から基板の表面への格子間シリコン原子の移動を最小限にする。パターン形成されたフィールド酸化膜が基板の上に形成され、MeV注入されたウェル領域が、パターン形成されたフィールド酸化膜の間のウィンドウを通るように形成される。次に、ゲート酸化膜がウェル領域の上に成長し、ポリシリコンがゲート酸化膜の上に堆積する。その後処理はシリコン基板の上で1000℃を超える温度で続行し、基板内にゲッタリング場所を提供する。

【0016】この発明のその他の目的および利点は、以下の詳細な説明を読み、添付の図面を参照することによ

り、明らかになるであろう。

【0017】この発明には、様々な修正および代替形が適用されるが、特定の実施例が、図面の例により示され、この明細書中で以降詳細に述べられる。しかしながら、図面および説明は、この発明を開示された特定の形式に制限することを意図するものではなく、反対に、前掲の特許請求の範囲により規定されるこの発明の精神および範囲内におけるすべての修正、等価物、および代替形をカバーすることを意図するものであることを、理解されたい。

#### 【0018】

【実施例の詳細な説明】図1では、CZシリコン基板のデニューディングおよびイントリンシックゲッタリングに必要な3つのステップの熱サイクルを引き起こすための温度条件が示される。3つのステップのプロセスは、およそ1100℃と1300℃との間の比較的高温で発生するデニューディングステップ10で始まる、特定の順序に従わねばならない。デニューディングは、基板の表面近くの酸素の外方拡散を可能にし、ウェハのバルクに発生する可能性のある酸素の集中を妨げる上で必要である。以下述べられるように、デニューディング10は、プロセス前のステップとして発生し、薄膜堆積または注入といった何らかの過程が、基板の上と内部とにそれぞれ発生する前に、発生する。デニューディングの後、非化学量論的シリコン酸化物 ( $\text{SiO}_x$ ) 核形成の発生を可能にするために、基板は、比較的低温の熱サイクル12に晒される。低温のために、シリコンおよび酸素原子が、基板のバルク内の真性領域またはその近くに存在することができ、 $\text{SiO}_x$ 化合物の核を形成する。基板のバルクの内部奥深くで誘起される核形成は、以降形成されるゲッタリング場所 (トラップ) が発生する領域を定めるのに必要である。しかしながら、ゲッタリング場所は、 $\text{SiO}_x$ の核析出物が臨界量を超えるまで形成されない。析出成長14は、一般的に、950℃と1200℃を僅かに超える温度の範囲内で発生する。

【0019】核形成12およびその後続く析出物成長14は、一般的に3つのステップのプロセスの後半2つのステップとして説明され、一般的にいわゆるイントリンシックゲッタリングステップを構成する。臨界レベルまでの核成長14の後になって初めて、ゲッタリングプロセスが達成される。低温の核形成ステップ12は、最終的に形成されるゲッタリング場所を規定するのに必要である。酸素の外方拡散10続いて核形成12および析出物成長14の3つのステップは、無欠陥領域を基板の表面の近くに形成し、ゲッタリング場所をバルク内に形成するのに必要である。ゲッタリング場所は、少数キャリアライフタイム短縮ドーパントを、基板のバルク内の奥深く、また基板の表面近くの活性領域から遠く離れて (すなわち、無欠陥領域から離れて)、引きつけ、捕獲する。

【0020】図2では、シリコン基板16の一部分の原子配列図が示される。基板16はチョクラルスキー (CZ) 法プロセスで成長し、シリコン原子18の単結晶格子構造を定める。格子の中に配置されているのは、格子間酸素原子20、シリコンの空洞22、格子間シリコン原子24、成長した析出物26などといった、CZ法により成長したシリコンウェハの特性を有する様々な真性物質である。臨界的な大きさの析出物26は、望まれない不純物に対するゲッタリング場所としての働きをする格子構造内における、乱れおよび転位を発生させる。析出物26成長に関連して、格子間シリコン24の形成および/または排除が行なわれる。格子間シリコン24は、 $\text{SiO}_x$ 化合物形成の際のシリコン格子の体積の増加のために、生成され、排除されると仮定される。排除された格子間シリコン24は、析出物から離れて、矢印28の方向に、シリコン基板16の表面30の方に、一般的には移動する。したがって、析出物26の成長により、格子間シリコンが、ウェハのバルクから離れて表面30の方に過剰に流入し、格子構造の延長として、または格子表面での格子間のロケーションでの、表面終端の結合32を形成する可能性がある。

【0021】しかし、デニューディング雰囲気、水素といった不活性物質であると仮定すると、デニューディングにより、格子間シリコンが表面30から離れてウェハのバルクに過剰に流入する可能性があるとは仮定される。水素雰囲気は、デニューディングプロセスを促進するのみならず、酸素雰囲気が用いられ酸化膜が形成される場合のように、表面30での実質的な膜形成をまた防止する。水素原子34は、雰囲気から取込まれ、その高拡散性の結果として、好ましくは格子間の場所に移動し、格子間酸素とといったいかなる格子間原子もバルク領域から出し、および格子間シリコンをバルク領域の奥深くに追いやる。水素の移動が、格子間シリコンの表面移動を妨害または減少させると仮定される。したがって、水素原子34は、能動的な役割を果たし、デニューディングステップのみにおいて、格子間シリコンが形成されてそのかなりの量が表面領域30に移動しないようにする。格子間酸素20は、しかし、容易に表面に移動し、水素と結合し、水として取除かれる。

【0022】優れた特性のゲート酸化膜、特に厚みが100Åよりも小さなゲート酸化膜 (すなわちEEPROMにおけるトンネル酸化膜) の成長の際、表面30が実質的に平板状を保つことおよび格子間シリコンが場所32に移動して結合することの防止が必須である。こういった結合は、いわゆる、酸化誘起表面積層欠陥 (OISF) といった結果に終わることがある。OISFは、表面30の上の微小欠陥 (ピット) よりも重大である。OISFは、表面における格子の崩壊および不規則な酸化膜の形成を引き起こす。大きな乱れにより、ゲート酸化膜の厚みが極端に不均一となり、結果として、薄い領域

においてはより低いゲート酸化膜降伏電圧を露呈すると仮定される。したがって、格子間シリコン原子24の表面移動を制御することにより、OISFを最小限にすることが重要である。水素雰囲気でのデニューディングは、表面移動を減少させるように見えるが、1000℃を超える温度での析出物成長は、こういった表面移動を増速することがある。以下で論じられるように、デバイス製造の初期工程の間に、低温の析出物成長を行なうために1つのプロセスステップが用いられる。すなわち、ゲート酸化膜形成およびポリシリコンの堆積の前に発生するプロセスステップの間に、酸素原子および格子間シリコンの表面移動を制御することが必要である。ゲート酸化膜が形成され、ポリシリコンの層で十分に覆われた後、以前に成長し覆われたゲート酸化膜の実質的な影響は、最小限であるか存在しないに等しい。したがって、析出物成長およびゲッタリングは、酸化膜が確立され、それを覆うポリシリコンの層で保護された後まで、低温で行なわれる。

【0023】水素雰囲気の中でプロセス前のステップとして形成された無欠陥領域31は、格子間酸素およびシリコン原子がほとんどない状態で最初に設定される。ポリシリコン堆積に先行して生じるプロセスステップに対し、高温の熱サイクル（すなわち、デニューディングの温度範囲まで上昇する熱サイクル）を最小限にすることにより、無欠陥領域31の純粋性（integrity）を保つことが重要である。したがって、フィールド酸化膜で発生するゲッタリングは、1000℃よりも低い低温で行なわれ、格子間酸素原子20が、無欠陥領域31に侵入し、その領域にとどまらないようにしなければならない。無欠陥領域31内に酸素または格子間シリコン原子が存在することにより、金属原子ゲッタリングトラップおよびそれに伴う有害な影響が発生し得る。金属原子は、活性チャネル領域における電気的動作に逆効果をもたらすだけでなく、無欠陥領域31の表面30において形成されるいかなるゲート酸化膜の局所的な薄膜化をも引き起こすものである。重金属は、確かにEEPROMデバイスにおけるトンネル効果をもたらす。多大な量の金属原子が存在すれば、半導体領域は、導体の伝導度を持ち得る。ポリシリコンの堆積の前に、ゲッタリング温度を注意深く監視し、維持することにより、無欠陥領域31は、望まれぬ酸素および格子間シリコン原子の侵入によっても大きく崩れることはない。

【0024】図3では、プロセス前のデニューディングおよびポリシリコン堆積の後のゲッタリングのフロー図が示される。このフロー図は、CZウエハのバルク内における、プロセス前のデニューディングおよびプロセス中のゲッタリング場所に必要例示のステップを示す。重要なことには、デニューディングは水素雰囲気を用いて達成され、プロセス中のゲッタリングは、MeVウェル注入技術を用いて達成される。さらに、デニューディ

ングおよびゲッタリングされた基板は、EPI層を形成する必要なしに、またそれに関連するコスト高を招く必要なしに、エピタキシャル（EPI）層の利点を達成する。無欠陥領域および無欠陥領域の下でのゲッタリング場所は、優れた特性のゲート酸化膜を提供し、EPI層を形成する必要なしに、また予め形成されたEPI層を有するウエハを購入する必要なしに、低接合リークを達成することができる。モノリシックデバイスがコスト競争的な場合、EPI層の形成に関連する追加ステップを強いられずに、製造業者または販売者により基板が準備されることは重要である。

【0025】プロセス前のデニューディングおよびプロセス中のゲッタリングを用いた、優れた特性のゲート酸化膜の処理は、プロセス前のデニューディングステップ34で始まる。デニューディングは、参照番号36で示されるように、水素雰囲気の中で、1100℃から1300℃の範囲内の高温で行なわれる。表面領域がデニューディングされた後、ウエハは通常のプロセスフローで処理され、基板の上に数多くのモノリシックデバイスを形成する。一般的にプロセスは、ウエハ表面を通る選択領域におけるフィールド酸化膜の形成で始まる38。フィールド酸化膜は、始めにバッファ酸化膜が成長し40、その後バッファ酸化膜の上にシリコン窒化膜が設けられる42ことにより、LOCOS（選択酸化法）に従い、選択的に酸化する。次にシリコン窒化膜は、フォトレジストでパターン形成されることができ44。パターン形成された窒化膜により、シリコン窒化膜のない領域におけるフィールド酸化膜の選択的な成長46が可能になる。バッファ酸化膜は、シリコン窒化膜インタフェースでのストレスを減少させる助けをし、それにより、それに続く酸化の間、非窒化ウィンドウの隅におけるシリコンでの転位の発生を最小限にする。バッファ酸化膜は通常非常に薄く、多くの事例では400Åよりも小さい。薄いバッファ酸化膜は、ウィンドウインタフェースでの「バズビーグ」構造の低減の助けとなる。

【0026】フィールド酸化膜およびその下のバッファ酸化膜の選択領域の形成は、1000℃よりも低い温度雰囲気中で成長する。シリコン窒化膜は、たとえば850℃よりも低い、さらに低温で堆積する。シリコン窒化膜は通常非常に薄いため、低温の堆積技術が用いられ、それに関連してより遅い堆積速度も慣容されるが、それは、低速度においても、シリコン窒化膜は比較的短い時間に形成できるからである。しかし、フィールド酸化膜は高温で成長するが、無欠陥領域の崩壊を防ぐため、温度雰囲気は1000℃よりも低い温度に維持されねばならない。温度雰囲気はしかし、3つのステップのプロセスの第3のステップが発生できるように、十分高温でなければならない。850℃よりも低い温度でのシリコン窒化膜堆積は、3つのステップのプロセスの第2のプロセスには十分であり、参照番号48で示されるSiOx



核形成を可能にできる。フィールド酸化膜の成長速度を速めるために、高温でのドライ酸化プロセス50またはウェット酸化プロセス52が用いられる。成長速度に関する詳細およびウェットおよびドライ酸化プロセスに対する酸化時間は、図4を参照して以下に説明される。フィールド酸化膜の目標とされる厚みは、4000Åまたは、ある場合では、7000から8000Åであり、したがって成長速度が速いことは、ウエハのスループットを達成する上で重要である。

【0027】図3に示されるプロセスフローの重要な利点は、フィールド酸化膜を通しての、およびシリコン基板の中へのウェル領域のMeV注入の利用である。MeV注入は、プロセスステップの数を減少させるだけでなく、より重要なのは、熱処理工程56でのウェルのドライブイン温度を低減することである。ウェルの熱処理温度は、1000℃よりも低く、およそ900℃まで低減され、したがってこの温度はデニューディング温度1100℃よりも低い。この温度の低減は重要である。すなわち、同じウェルドライブインステップに対する従来のCMOSデバイスの処理は、3から24時間の間1150℃から1200℃の温度を必要とするからである。たとえば、ポーランド他、「MeV注入技術：今世代の装置を用いた次世代製造 (MeV Implantation Technology : Next-Generation Manufacturing with Current-Generation Equipment)」, ソリッドステートテクノロジー (Solid State Technology), (1993年12月)を参照されたい。ゲッタリングステップをプロセスフローに組入れることにより、時間が節約され、コストが低下する。さらに、低温のMeV処理により、ゲート酸化膜の形成の後まで、無欠陥領域へのおよび無欠陥領域内での、酸素および格子間シリコンの拡散または移動の発生が妨げられる。

【0028】最後のステップ(3つのステップのプロセスの第3のステップ)のゲッタリングは、ステップ49で示されるように、フィールド酸化膜が成長するときに完了する。最終ステップのSiO<sub>x</sub>析出成長は、フィールド酸化膜が900℃から1000℃の範囲内で成長しているとき、1000℃よりも低い温度範囲で行なわれる。ゲッタリングの完了は、無欠陥領域から離れた基板のバルク内でゲッタリング場所を設定するのに必要である。析出は、かなり低温において発生し、酸素および格子間シリコン原子が、以前にステップ34で形成された無欠陥領域に移動するのを防ぐ。

【0029】ウェル領域が、パターン形成されたフィールド酸化膜を通しておよびその間へ、高エネルギー(1MeVよりも大きなエネルギー)で注入された後、ゲート酸化膜は、ステップ58で示されるように、フィールド酸化膜の間のウィンドウ内に無欠陥領域の上で形成される。フィールド酸化膜と同様、ゲート酸化膜は、ドライ酸化またはウェット酸化プロセスのいずれかにより成

長できる。ドライ酸化プロセス60が選択されたなら、成長速度は、成長チャンバでの高圧力を用いて、増大できる。ウェット酸化プロセス62は、大気圧(760 Torr)またはそれに近い圧力で、行なうことができる。「ゲート酸化膜」は、基板およびその上のポリシリコンの間に形成される酸化膜領域を指すことに注意することが大切である。EEPROMプロセスにおいて、トンネル酸化膜は、ゲート酸化膜の一部分として形成される。トンネル酸化膜は、ゲート酸化膜領域の一部分をエッチングして取除き、非トンネル領域およびトンネル領域を成長させることによって形成される。多くの応用例では、トンネル領域(酸化膜)は、およそ85オングストロームであり、それに隣接する非トンネル酸化膜はおよそ180オングストロームである。ゲート酸化膜は、トンネル酸化膜を含まなければ、通常は非常に薄く、また通常は数百オングストロームよりも小さい。ゲート酸化膜が薄いトンネル酸化膜を含む場合、ゲート酸化膜は、ステップ40でのパフファ酸化膜の形成と同様、迅速にかなりの低温で形成されることができる。したがって、EEPROM製造に必要なトンネル酸化膜形成は、現行のプロセスに非常に適合するものである。

【0030】ゲート酸化膜形成の後、ポリシリコンが堆積し、ステップ64で示されるように、ゲート酸化膜の上にパターン形成される。自己整合プロセスに従い、次にソースおよびドレイン領域が活性領域に注入される。ステップ66に示されるように、ソースおよびドレインは、ポリシリコンゲートの反対側の基板内に、およびフィールド酸化膜の間のウィンドウに注入される。次の熱サイクルは一般的に、ソースおよびドレイン注入に続く熱処理ステップを含む。不純物ドーパントを活性化するソースおよびドレイン熱処理は、いかなる温度でも実施可能であり、好ましくは、ステップ68で示されるように、1000℃を超える温度である。熱処理ステップ68での高温のため、酸素および格子間シリコン原子が、無欠陥領域に侵入し、基板の表面に移動する可能性がある。格子間酸素および格子間シリコンといった不純物の侵入は、既に形成されたゲート酸化膜およびゲート酸化膜が成長する表面の特性に影響しない。したがって、無欠陥領域の崩壊および無欠陥領域の表面の近辺でのゲッタリング場所の形成は、ステップ58および64でそれぞれ示されるように、ゲート酸化膜が成長し、ポリシリコンの導電体で覆われた後に発生する場合には、大して重要ではない。したがって、格子間シリコンおよび酸素の基板表面への移動ならびにOISFの有害な影響は、実質的に最小限にされ、排除され、または、無効なものとなる。

【0031】図4は、図3のプロセスステップに従い形成されたフィールドおよびゲート酸化膜に対し、時間の関数としてのウェットおよびドライ熱酸化のグラフを示す。特定的には、ドライ酸化は、曲線65で示されるよ

うに1000℃で成長させることができ、または曲線67で示されるように900℃で成長させることができる。さらには、ウェット酸化は、蒸気雰囲気において、曲線69および70でそれぞれ示されるように、900℃または1000℃で形成できる。図4で示されるように、温度雰囲気の増大または雰囲気に湿気を加えることにより、酸化速度は増加するだろう。1000℃の酸化温度で、ウェット酸化は、曲線70の点Bで示されるように、酸化時間およそ1時間で、4000Åの厚みを形成できる。したがって、ウェット酸化は、4000Åを超えるフィールド酸化膜を形成する好ましい方法である。ドライ酸化が用いられる場合、酸化速度を増大させるため、加圧された雰囲気が必要である。ゲート酸化膜の厚みは200Åよりも小さいため、ドライ酸化は、比較的短い時間で、適切な結果を生む。

【0032】図5では、図3のプロセスステップに従い、シリコン基板の上に形成されるデュアルウェルデバイス(CMOS)の断面図が示される。図5は特に、基板の出発材料76内に形成された、不純物の型が反対のウェル領域72および74を示す。ウェル領域72および74は、しばしばMeV注入と呼ばれる高エネルギー注入技術を用いて注入される。ウェル領域72および74は、基板の中へおよびフィールド酸化膜80を通して、数ミクロンの深さまで注入できる。自己整合のプロセスに従い、ウェル領域およびフィールド酸化膜の間に浅いところで注入されているのは、ソースおよびドレイン領域82である。ソース/ドレイン注入に先行し、またウェル注入および熱処理の後には、ゲート酸化膜84を成長させるプロセスである。ゲート酸化膜84は、ポリシリコンゲート導電体86で覆われる。

【0033】図6は、図5の平面Aに沿う詳細な図であり、この発明のプロセスステップに従い形成されるゲート酸化膜84の幾何学的構成を示す。ゲート酸化膜84は、かなり薄いことが可能で、その他よりも薄いある領域(微細構造)を持ち得る。

【0034】しかしながら、析出物成長および酸素原子と格子間シリコン原子の表面移動を最小限にすることにより、ゲート酸化膜84は、比較的均等な厚みをもって形成できる。図3のプロセスに従い形成されるゲート酸化膜84は、一般的に、可変性が10%よりも小さな(たとえば3平方ミクロンよりも小さい)選択ゲート領域内で規定される厚みを含む。最小のOISFが、基板72/74の表面で発生し、したがって純粋性の高い酸化膜84が可能となる。さらに、析出成長を遅延させるかまたは阻止することにより、基板のバルク内の積層欠陥がまた最小限となる。析出物成長により引き起こされる、内部および表面の積層欠陥、転位および格子のすべりを最小限にすることにより、ゲート酸化膜84は、基板72/74のかなり均一および平板な上側表面から成長できる。したがって、ゲート酸化膜84の成長の出

発点は、非常に優れた表面であり、したがって、ゲート領域にまたがり均等な構成および厚みを達成する。

【0035】図3のプロセスステップに従い形成されたゲート酸化膜は、図7に示されるように、降伏するまでに、かなり高いゲート酸化膜電圧に耐えうる。図7は、様々な電圧で発生する実際のゲート酸化膜降伏欠陥の事例のヒストグラムを示し、デニューディングおよびゲッタリングされていないCZウエハ88、EPIウエハ90、およびプロセス前に水素によりデニューディングされ、プロセス中にゲッタリングされたウエハ92の間で比較が行なわれる。180Åのターゲットゲート酸化膜および2.4mm<sup>2</sup>のゲート酸化膜領域を有するウエハに対しテストが行なわれる。説明されていない、7ボルトでの3つの欠陥を除き、プロセス前のデニューディングおよびポリシリコンの後のイントリンシックゲッタリングウエハ92は、デニューディングもゲッタリングもされていないCZウエハ88と比較して、優れた酸化膜降伏の結果をもたらす。また、ウエハ92は、ゲート酸化膜の性能に関して、EPIウエハ90よりも幾分優れているように思われる。しかし、さらに重要なのは、ウエハ92(EPIウエハではない)は、製造し入手するのに非常に低コストであることである。

【0036】この開示の利益を受ける当業者には、この発明は、フラッシュEPROMまたはEEPROMメモリデバイスを含むいかなるMOSデバイスへの応用も可能であることが、認識されるであろう。さらに、この明細書に示され、説明された形態は、現在における好ましい実施例として捉えられることがまた理解される。この発明の利益を受ける当業者には、様々な修正および変更が、すべての処理ステップに、前掲の特許請求の範囲で述べられたこの発明の精神および範囲から逸脱することなく、加えられるであろうことが、明らかであろう。前掲の特許請求の範囲は、すべての修正および変更を受け入れるものであり、したがって、詳述や図面は、制限的なものとしてよりもむしろ例示と見なされることを意図する。

#### 【図面の簡単な説明】

【図1】この発明に従う、シリコン基板のデニューディングおよびゲッタリングに対する温度条件を示すグラフ図である。

【図2】この発明に従う、不純物の外方拡散および非化学量論的なシリコン酸化物(SiO<sub>x</sub>)の配置とともに、シリコン基板の一部を表わす原子配列図である。

【図3】この発明に従う、プロセス前のデニューディングおよびポリシリコン堆積後のゲッタリング方法論を示す、フロー図である。

【図4】図3のプロセスステップに従い形成されるフィールドおよびゲート酸化膜に対する、時間の関数としての、ウェットおよびドライ熱酸化のグラフ図である。

【図5】図3のプロセスステップに従いシリコン基板の

上およびその中に形成された、デュアルウェル型デバイスの断面図である。

【図6】図5の面Aに沿う、詳細図である。

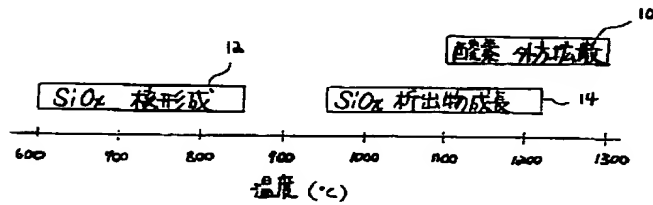
【図7】様々な電圧で発生する実際のゲート酸化膜降伏欠陥の事例のヒストグラムの図であり、従来のプロセスとこの発明のプロセスとを比較する図である。

【符号の説明】

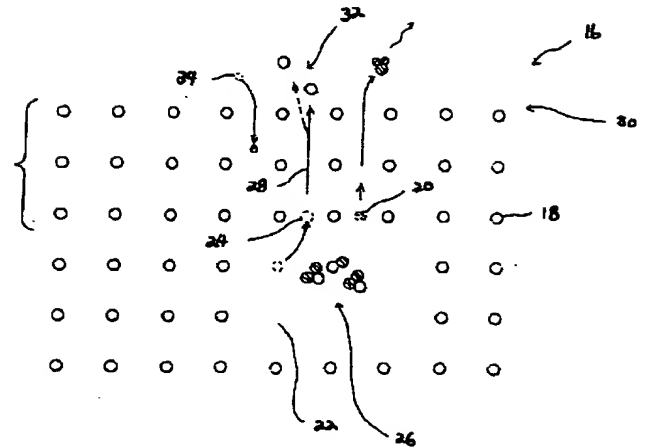
\*

- \* 16 シリコン基板
- 18 シリコン原子
- 20 格子間酸素原子
- 22 シリコンの空洞
- 24 格子間シリコン原子
- 26 析出物

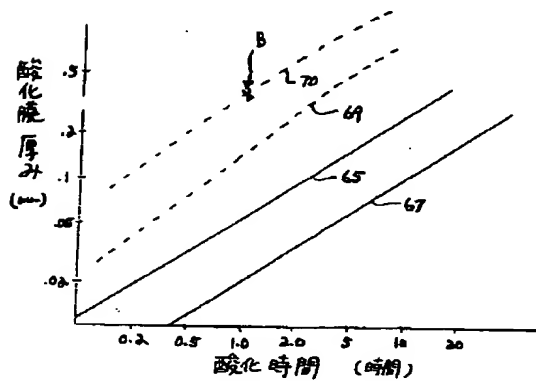
【図1】



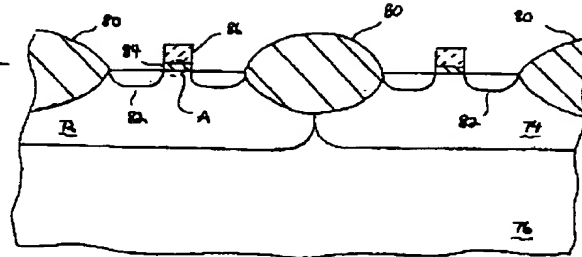
【図2】



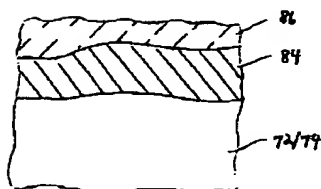
【図4】



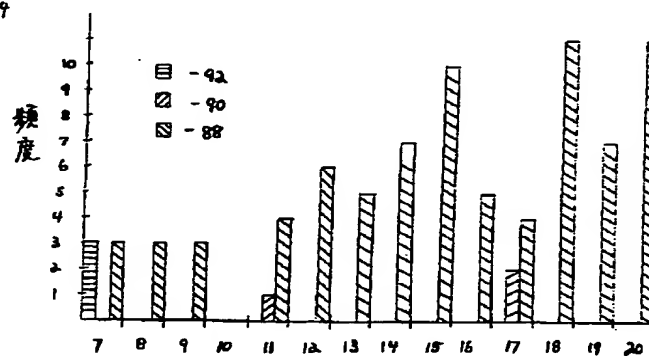
【図5】



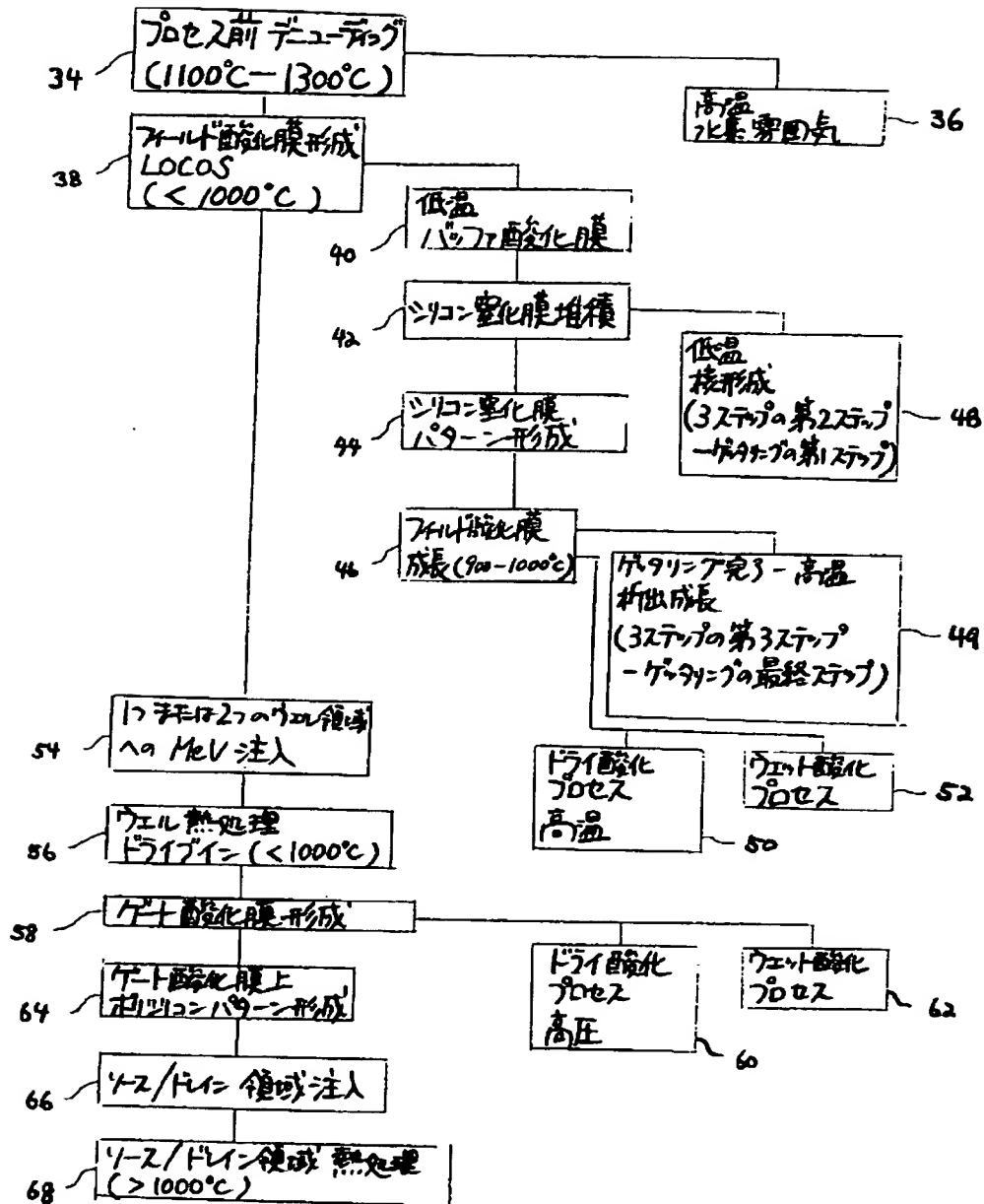
【図6】



【図7】



【図3】



フロントページの続き

(72)発明者 マーク・アイ・ガードナー  
 アメリカ合衆国、78612 テキサス州、セ  
 ダー・クリーク、ハイウェイ・535、ピ  
 イ・オウ・ボックス・249 (番地なし)

(72)発明者 エイチ・ジム・フルフォード・ジュニア  
 アメリカ合衆国、78748 テキサス州、オ  
 ースティン、ウッドシャー・ドライブ、  
 9808

(72)発明者 デリック・ジェイ・リスターズ  
 アメリカ合衆国、78728 テキサス州、オ  
 ースティン、テリサ・コープ、1904